

## ⑫ 公開特許公報 (A)

昭59—198594<sup>✓</sup>⑤ Int. Cl.<sup>3</sup>

G 11 C 11/34

識別記号

1 0 1

庁内整理番号

8320—5B

⑬ 公開 昭和59年(1984)11月10日

発明の数 1

審査請求 未請求

(全 8 頁)

## ⑭ 半導体メモリ装置

機株式会社エル・エス・アイ研  
究所内

⑮ 特 願 昭58—74257

⑯ 出 願 人 三菱電機株式会社

⑰ 出 願 昭58(1983)4月25日

(東京都千代田区丸の内2丁目2  
番3号

⑱ 発 明 者 宮本博司

伊丹市瑞原4丁目1番地三菱電

⑲ 代 理 人 弁理士 大岩増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体メモリ装置

## 2. 特許請求の範囲

(1)複数のメモリセルキャパシタと、このメモリセルキャパシタに入出力できる第1のビット線と、ダミーセルキャパシタと、このダミーセルキャパシタに入出力できる第2のビット線と、これら第1および第2のビット線を入出力とするセンスアンプと、前記ダミーセルキャパシタをブリチャージする絶縁ゲート電界効果トランジスタとを有する半導体メモリ装置において、前記ブリチャージ電位を制御する手段を有することを特徴とする半導体メモリ装置。

(2)ブリチャージ電位を制御する手段は、ドレインがダミーセルキャパシタの出力側に接続され、ゲートはクロック電圧が印加される絶縁ゲート電界効果トランジスタのソースに制御電圧が印加されることを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。

(3)絶縁ゲート電界効果トランジスタのソースに接続されたパッドから制御電圧が印加されることを特徴とする特許請求の範囲第2項記載の半導体メモリ装置。

(4)絶縁ゲート電界効果トランジスタのソースに抵抗を介して接続されたパッドから制御電圧が印加されることを特徴とする特許請求の範囲第2項記載の半導体メモリ装置。

(5)絶縁ゲート電界効果トランジスタのソースは接地電位に接続されると共にパッドから制御電圧が印加されることを特徴とする特許請求の範囲第2項記載の半導体メモリ装置。

## 3. 発明の詳細な説明

(発明の技術分野)

本発明は半導体メモリ装置に関し、特にノイズマージンが容易に測定できるダイナミックRAMに関する。

(従来技術)

従来のダイナミックRAMの構成について128リフレッシュ方式の64キロビットダイナミック

RAMを例にとり、その中の1個のセンスアンプ周辺の等価回路図である第1図により説明する。

図中の絶縁ゲート電界効果トランジスタはすべてNチャネルエンハンスメント形とする(以下FETと称す)。

図において、メモリセル(1)はメモリセルキャパシタ(1a)とFET(1b)とによつて構成され、メモリセルキャパシタ(1a)の一方の電極は電源電圧( $V_{cc}$ )に接続され、もう一方の電極は接続点(1c)(以下ノードと称す)に接続され、ノード(1c)はさらにFET(1b)のソースが接続されている。

FET(1b)のドレインはビット線( $BL_1$ )に、ゲートはワード線( $WL_1$ )に接続されている。他のメモリセルも同様に構成され、メモリセル(1)~(60)がビット線( $BL_1$ )に、メモリセル(61)~(128)がビット線( $BL_2$ )に接続され、ワード線( $WL_1$ )~( $WL_{128}$ )は各々のメモリセルに1本ずつ接続されている。ダミーセル(129)はダミーセルキャパシタ(129a)とFET(129b)とによつて構成され、ダミーセルキャパシタ(129a)の一方の電極は、メモリセルキャ

パシタ(1a)~(128a)の一方の電極および他のダミーセルキャパシタ(130a)の一方の電極と共に電源電圧( $V_{cc}$ )に接続されている。ダミーセルキャパシタ(129a)の他方の電極はノード(129c)に接続され、ノード(129c)はさらにFET(129b)のソースが接続されている。FET(129b)のドレインはビット線( $BL_1$ )に、ゲートはダミーワード線( $DWL_1$ )に接続されている。

ダミーセル(130)もダミーセル(129)と同様に構成され、ビット線( $BL_2$ )とダミーワード線( $DWL_2$ )に接続されている。

なお、ダミーセルキャパシタの面積はメモリセルキャパシタの約半分であるのが一般的である。

FET(131)、(132)のドレインはノード(129c)およびノード(130c)に接続され、ゲートは共通のクロック( $\phi_1$ )が印加され、ソースは共通になつてノード(140)に接続され、ノード(140)は接地電位( $V_{ss}$ )に接続されている。(133)はセンスアンプであり、フリップフロップを構成するFET(134)および(135)のドレインが各々ノード(136)

およびノード(137)に接続され、ノード(136)はさらにFET(135)のゲート、ビット線( $BL_1$ )、FET(138)のソースに接続され、ノード(137)はFET(134)のゲート、ビット線( $BL_2$ )、FET(139)のソースに接続されている。FET(134)、(135)のソースは共通になりノード(141)に接続されている。FET(138)および(139)のゲートは共通になりクロック電圧( $\phi_2$ )が印加され、ドレインも共通になりクロック電圧( $\phi_1$ )が印加されている。又、ノード(141)にはFET(142)のドレインが接続され、FET(142)のゲートにはクロック電圧( $\phi_1$ )が印加され、ソースは接地電位( $V_{ss}$ )に接続されている。FET(143)はドレインにビット線( $BL_1$ )が、ソースに入出力線( $I/O$ )線が接続され、ゲートにはクロック電圧が印加されて、ビット線( $BL_1$ )と入出力線( $I/O$ )をオン、オフするようになつている。

同様にFET(144)はビット線( $BL_2$ )と入出力線( $I/O$ )をオン、オフするようになつている。

次に第1図の回路について、読み出し時の動作

を第2図及び第3図を用いて説明する。

第2図の時刻( $t_0$ )において第2図(c)で示す $\phi_1$ 以外のクロック電圧は全て「L」レベル( $V_{ss}$ と同じ)である。ここで $\phi_1$ は常に電源電圧( $V_{cc}$ )にほぼ等しい電位を保つクロック電圧である。次に時刻( $t_1$ )で第2図(a)および(b)で示す $\phi_1$ および $\phi_2$ が「H」レベルになると、 $\phi_2$ が「H」レベルになることによりFET(138)、(139)が共にオンする。 $\phi_2$ は $V_{cc} + V_{TH1}$ 以上に昇圧されているので第2図(g)に示すビット線( $BL_1$ )、( $BL_2$ )は $\phi_1$ に等しい電位、すなわち、ほぼ電源電圧( $V_{cc}$ )にプリチャージされる。ここで $V_{TH1}$ はFET(138)、(139)のしきい値電圧である。又、 $\phi_1$ が「H」レベルになつたことによりFET(131)、(132)がオンしてノード(129c)、(130c)は放電され、ダミーセルキャパシタ(129a)、(130a)は接地電位( $V_{ss}$ )にプリチャージされる。時刻( $t_2$ )で $\phi_1$ および $\phi_2$ が「L」レベルになるとプリチャージ期間が終了する。今、メモリセルキャパシタ(1a)に「H」レベルが書き込まれていて、これを読み出す場合を

考える。時刻( $t_3$ )において、128本のワード線( $WL_1$ )~( $WL_{128}$ )のうちから図示しないデコーダによつて選択された1本のワード線( $WL_1$ )が第2図(d)に示すように「H」レベルになり、同時に反対側のダミーワード線( $DWL_2$ )が第2図(e)に示すように「H」レベルになる。ここで、ワード線( $WL_1$ )とダミーワード線( $DWL_2$ )は共に $V_{cc} + V_{TH2}$ 以上に昇圧されているので、ノード(1c)とビット線( $BL_1$ )およびノード(130c)とビット線( $BL_2$ )の電位は平均化される。また、 $V_{TH2}$ はFET(1b),(130b)のしきい値電圧である。ビット線( $BL_1$ )のプリチャージ電位は低圧電源電圧( $V_{cc}$ )であり、メモリセルキャパシタ(1a)に電源電圧( $V_{cc}$ )で「H」レベルが書き込まれているので、時刻( $t_3$ )において第3図(a)および(b)に示すようにビット線( $BL_1$ )の電位変化はない。一方ビット線( $BL_2$ )も低圧電源電圧( $V_{cc}$ )にプリチャージされ、ダミーセルキャパシタ(130a)は接地電位( $V_{ss}$ )にプリチャージされているので、ダミーワード線( $DWL_2$ )が「H」レベルになると第3図(b)に示す

ようにビット線( $BL_2$ )の電位は $\Delta V_D$ だけ下がる。このときのビット線( $BL_1$ )とビット線( $BL_2$ )の電位差( $\Delta V_H$ )がセンスアンプ(133)の入力となる。時刻( $t_4$ )で $\phi_2$ が第2図(f)に示すように「H」レベルになるとFET(142)がオンしてセンスアンプ(133)が動作する。FET(134),(135)は特性を等しく形成されているので、ビット線( $BL_2$ )のノード(137)に比べビット線( $BL_1$ )のノード(136)の電位が $\Delta V_H$ だけ高い場合、FET(134)に比べFET(135)の方が強くオンする。この結果、ノード(137)の電位は放電されて第2図(g)の点線に示すように接地電位( $V_{ss}$ )になる。すなわちビット線( $BL_1$ )が「H」レベルとなりビット線( $BL_2$ )が「L」レベルとなる。次に、時刻( $t_5$ )に $\phi_1$ が第2図(h)に示すように「H」レベルになり、ビット線( $BL_1$ )が入出力線(I/O)に、ビット線( $BL_2$ )が入出力線( $\overline{I/O}$ )に導通されて入出力線(I/O)に「H」レベルが、入出力線( $\overline{I/O}$ )に「L」レベルが読み出される。時刻( $t_6$ )に $\phi_1$ 以外のすべてのクロック電圧が「L」レベルになり読み出し動

作が終了する。

次に、メモリセル(1)に書き込まれたデータが「L」レベルの場合には、時刻( $t_0$ )におけるノード(1c)の電位が接地電位( $V_{ss}$ )であるので、時刻( $t_3$ )でワード線( $WL_1$ )が「H」レベルになりノード(1a)とビット線( $BL_1$ )の電位が平均化されると、第3図(c)に示すようにビット線( $BL_1$ )の電位が $\Delta V_H$ だけ下がる。ビット線( $BL_2$ )の電位低下はメモリセル(1)のデータが「H」レベルの場合と変わらず $\Delta V_D$ であり、このときのビット線( $BL_1$ )とビット線( $BL_2$ )の電位差( $\Delta V_L$ )がセンスアンプ(133)の入力になる。ダミーセルキャパシタの面積はメモリセルキャパシタの約半分に作られているので $\Delta V_H$ は $\Delta V_D$ よりも大きい。したがって、この場合にはビット線( $BL_1$ )が「L」レベルに、ビット線( $BL_2$ )が「H」レベルとなる。

このような読み出し動作において、メモリセルに書き込まれたデータが「H」および「L」レベルであるときのビット線( $BL_1$ )と( $BL_2$ )の電位差( $\Delta V_H$ )および( $\Delta V_L$ )が大きいほど読み出し動作

は確実になる。従来、 $\Delta V_L$ のノイズマージンは電圧パンプテストなどにより比較的簡単に測定することができた。なお、電圧パンプテストとは、書き込み時に通常の電源電圧( $V_{cc}$ )で書き込み、読み出し時には電源電圧を $V_{cc}$ よりも上げて読み出すことにより $\Delta V_L$ のノイズマージンが測定できるテストである。

一方、 $\Delta V_H$ のノイズマージンはリフレッシュテストにより測定できるが、これは手間のかかるテストであり、簡単なテスト方法は現在見当たらない。なお、リフレッシュテストとは、メモリセルに「H」レベルを書き込んで一定時間ポーズした後読み出してこのときのポーズ時間を測定するテストであり、ポーズ時間中に熱励起された電子がメモリセルに保護され「H」→「L」レベルとなるエラーが起る。この過程から明らかなように、リフレッシュテストは高温で行うほど電子が熱励起され易く、テスト時間が短くなり、室温では長時間かかってしまう。

以上述べてきたように、従来の半導体メモリ装

置では $\Delta V_H$ のノイズマージンを簡単にテストできないという欠点があった。

#### 〔発明の概要〕

本発明はこのような従来の欠点に鑑みてなされたもので、ダミーセルキャパシタのプリチャージ電位を制御する手段を設けることにより $\Delta V_H$ のノイズマージン測定を容易にすることにある。

#### 〔発明の実施例〕

次に本発明の一実施例について、第2図、第4図、第5図を用いて説明する。なお第4図において、第1図と同一部分には同符号を付してあり、その説明は省略する。第4図において、(146)はノード、(147)は $N^+$ 拡散層によつて形成された抵抗、(148)はノードであつて、ノード(148)は図示しない配線によつて図示しないパッドに接続されており、このパッドを介してノード(148)に正の電圧( $V_{D1}$ )が印加されている。

先ず、第2図に示す時刻( $t_1$ )において、 $\phi_1$ が「H」レベルになるとFET(131)、(132)がオンする。このときノード(148)にはパッドを介して

正の電位( $V_{D1}$ )が印加されているので、この電位がノード(129c)、(130c)に伝達されダミーセルキャパシタ(129a)、(130a)は正の電位( $V_{D1}$ )にプリチャージされる。次に読み出し動作に入るが、ダミーセル(129)、(130)のプリチャージ電位が接地電位( $V_{ss}$ )ではなく正の電位( $V_{D1}$ )であるために、時刻( $t_2$ )でダミーワード線(DWL<sub>2</sub>)が高レベルになり、ノード(130c)とビット線(BL<sub>2</sub>)の電位が平均化されたときのビット線(BL<sub>2</sub>)の電位変化( $\Delta V_{D1}$ )は第5図(b)に示すように、プリチャージ電位が接地電位( $V_{ss}$ )である場合の $\Delta V_D$ に比べて小さくなる。

したがつて、このときのビット線(BL<sub>1</sub>)、(BL<sub>2</sub>)の電位差( $\Delta V_{H1}$ )は、ダミーセルキャパシタのプリチャージ電位が接地電位( $V_{ss}$ )である場合の電位差( $\Delta V_H$ )よりも小さくなる。読み出し動作時に雑音によつてメモリセル側のビット線(BL<sub>1</sub>)の電位が下がつたり、あるいはダミーセル側のビット線(BL<sub>2</sub>)の電位が上がつたりしてビット線(BL<sub>1</sub>)、(BL<sub>2</sub>)の電位が逆転すると、センスアンプ(133)

によつてビット線(BL<sub>1</sub>)、(BL<sub>2</sub>)の電位が反転して決定され「H」→「L」レベルのエラーが発生する。このように、図示しないパッドに印加する正の電位( $V_{D1}$ )を変化させることによつて $\Delta V_{H1}$ を変化させ、ビット線(BL<sub>1</sub>)、(BL<sub>2</sub>)の電位を逆転しやすくすることによつて、「H」→「L」レベルのエラーに対するノイズマージンを測定することができる。

なお、上記実施例ではノード(146)と(148)間に接続される抵抗(147)を $N^+$ 拡散層によつて形成したがこれをポリシリコンで形成してもよい。

又、上記実施例ではノード(146)から抵抗(147)を介してノード(148)をパッドに接続したが、抵抗(147)を介さずノード(146)を直接パッドに接続してもよい。

又、上記実施例では、ノード(146)は抵抗(147)を介してパッドにのみ接続したが、第6図に変更部分を示したように、ノード(140)を接地電位( $V_{ss}$ )に接続し、ノード(146)を抵抗(147)、ノード(148)を介してパッドに接続してもよい。この場合には、

ノード(140)に接続される接地電位( $V_{ss}$ )は細い枝配線により接続し、パッドによる電位制御の効果が及ぶようにした方がよい。

又、上記実施例では、メモリセルキャパシタおよびダミーセルキャパシタの共通になつた電極を電源電圧( $V_{cc}$ )に接続したが、他の電位に接続してもよい。

又、上記実施例ではFETはNチャネルエレクトロスタティック形としたが、いくつかのFETはデプレッション形であつてもよく、またPチャネルやコンプリメンタリMIS(CMIS)であつてもよい。

#### 〔発明の効果〕

以上述べたように本発明では、ダミーセルキャパシタのプリチャージ電位を外部から制御できるようにしたので、「H」→「L」レベルとなるエラーに対してのノイズマージン測定を容易にすることができ、テスト時間の短縮およびテスト内容の簡略化が可能となる効果がある。

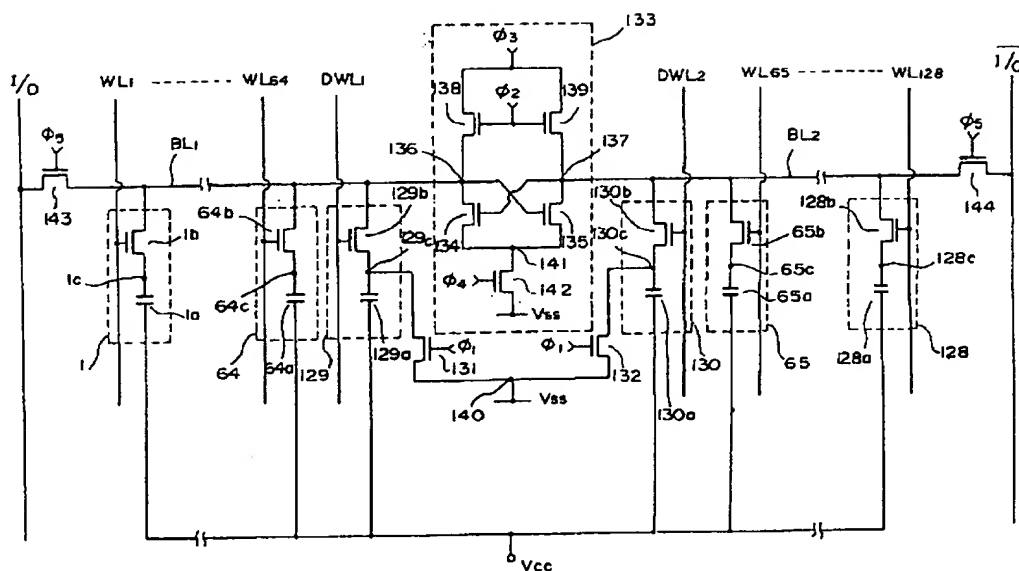
#### 4. 図面の簡単な説明

第1図は従来の半導体メモリ装置の構成を示す等価回路図、第2図は第1図における読み出し時の各部の電圧波形図、第3図は各ビント線の電位変化を示す図、第4図は本発明の一実施例を示す半導体メモリ装置の等価回路図、第5図は本発明の一実施例による各ビント線の電位変化を示す図、第6図は本発明の他の実施例を示す半導体メモリ装置の等価回路図の一部を示す図である。

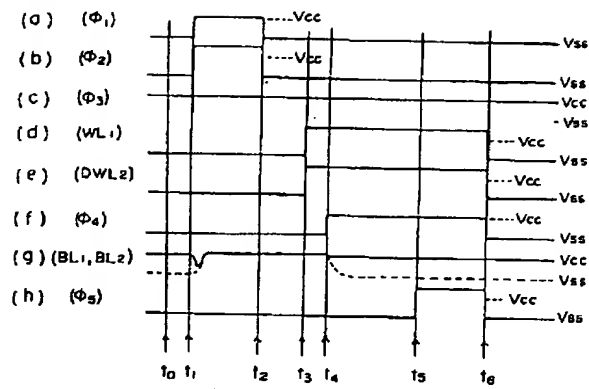
なお、図中、同一符号は同一、又は相当部分を示す。

(1)～(128)・・・メモリセル、(1a)～(128a)・・・メモリセルキャパシタ、(1b)～(130b)、(131)、(132)、(134)、(135)、(138)、(139)、(142)、(143)、(144)・・・FET、(1c)～(130c)、(136)、(137)、(140)、(141)、(146)、(148)・・・ノード、(129)、(130)・・・ダミーセル、(129a)、(130a)・・・ダミーセルキャパシタ、(133)・・・センスアンプ、(147)・・・抵抗。

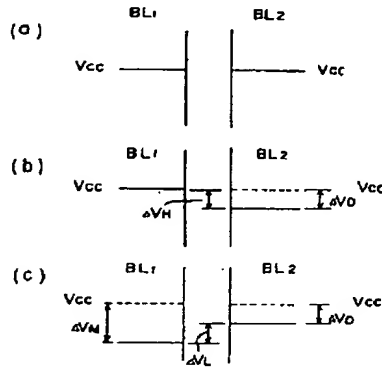
第1図



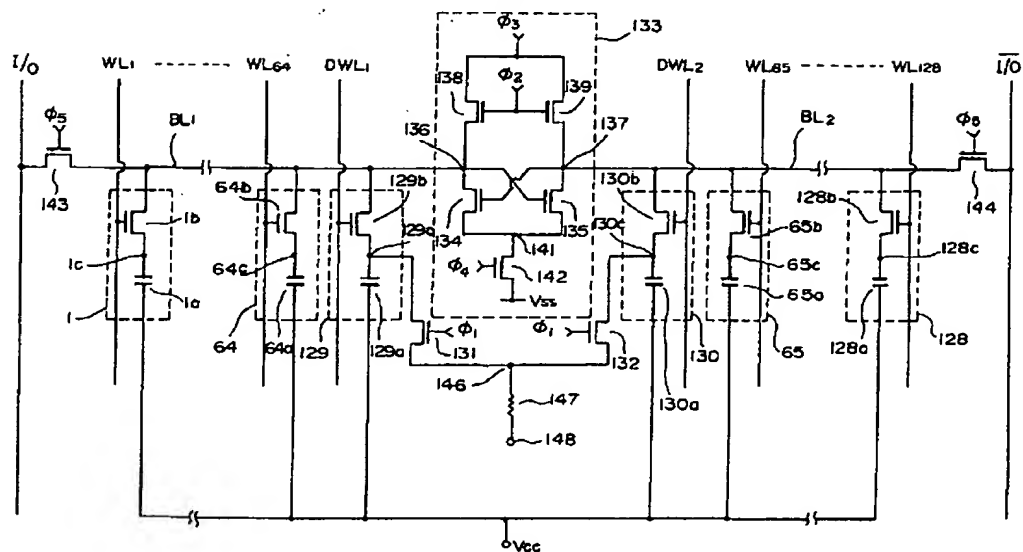
第2図

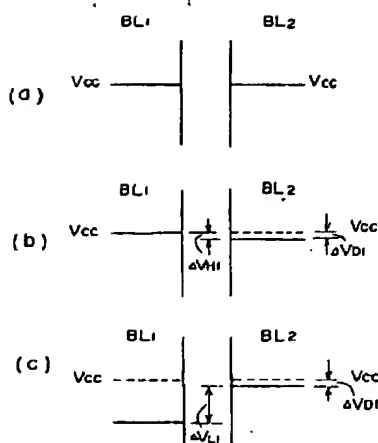


第3図

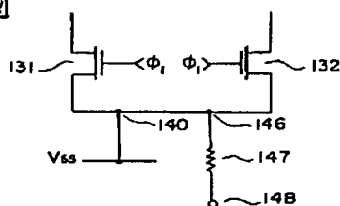


第4図





第6図



# 6. 補正の内容

- (1) 明細書の特許請求の範囲を別紙の通り補正する。
- (2) 同書第9頁第8行の「電圧低下」を「電位低下」と補正する。
- (3) 同書第10頁第15行の「保護」を「保護」と補正する。

以 上

昭和 58 年 9 月 21 日

特許庁長官殿

1. 事件の表示 特願昭 58-74257号

2. 発明の名称 半導体メモリ装置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 片 山 仁 八 郎

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内

氏 名 (7375)弁理士 大 岩 増 雄

(特許先 03(213)3421特許部)

5. 補正の対象

- (1) 明細書の特許請求の範囲の欄
- (2) 明細書の発明の詳細な説明の欄

別 紙

「(1)板数のメモリセルキャパシタと、このメモリセルキャパシタにデータを入出力できる第1のビット線と、ダミーセルキャパシタと、このダミーセルキャパシタにデータを入出力できる第2のビット線と、これら第1および第2のビット線の電位を入出力とするセンスアンプと、前記ダミーセルキャパシタをプリチャージする絶縁ゲート電界効果トランジスタとを有する半導体メモリ装置において、前記プリチャージ電位を制御する手段を有することを特徴とする半導体メモリ装置。

(2)プリチャージ電位を制御する手段は、ドレインがダミーセルキャパシタの一方の電極に接続され、ゲートはクロック電圧が印加される絶縁ゲート電界効果トランジスタのソースに制御電圧が印加されることを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。

(3)絶縁ゲート電界効果トランジスタのソースに接続されたパッドから制御電圧が印加されることを特徴とする特許請求の範囲第2項記載の半導体メモリ装置。

メモリ装置。

(4)絶縁ゲート電界効果トランジスタのソースに抵抗を介して接続されたパッドから制御電圧が印加されることを特徴とする特許請求の範囲第2項記載の半導体メモリ装置。

(5)絶縁ゲート電界効果トランジスタのソースは接地電位に接続されると共にパッドから制御電圧が印加されることを特徴とする特許請求の範囲第2項記載の半導体メモリ装置。」

以 上